



(43) 国際公開日
2005 年 9 月 29 日 (29.09.2005)

PCT

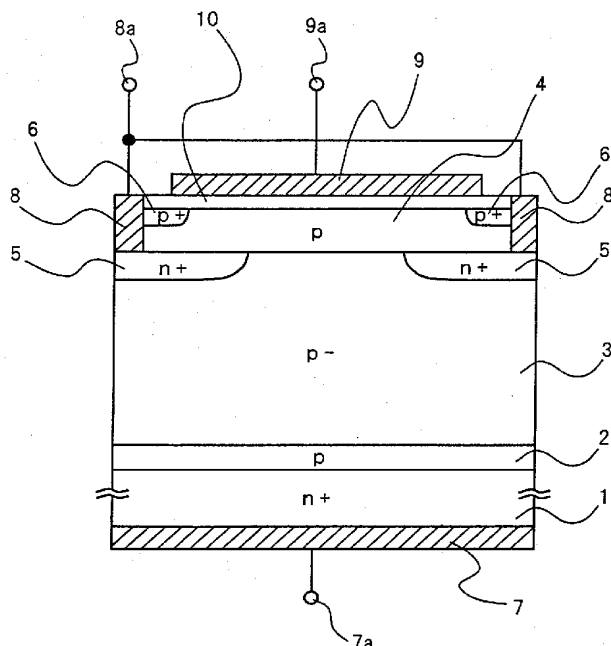
(10) 国際公開番号
WO 2005/091372 A1

- | | | |
|--|---|---|
| (51) 国際特許分類7: | H01L 29/78 | INC.) [JP/JP]; 〒5308270 大阪府大阪市北区中之島三丁目6番16号 Osaka (JP). |
| (21) 国際出願番号: | PCT/JP2005/004834 | (72) 発明者; および |
| (22) 国際出願日: | 2005 年3 月17 日 (17.03.2005) | (75) 発明者/出願人 (米国についてのみ): 浅野 勝則 (ASANO, Katsunori) [JP/JP]; 〒5308270 大阪府大阪市北区中之島三丁目6番16号 関西電力株式会社内 Osaka (JP). 菅原 良孝 (SUGAWARA, Yoshitaka) [JP/JP]; 〒5308270 大阪府大阪市北区中之島三丁目6番16号 関西電力株式会社内 Osaka (JP). |
| (25) 国際出願の言語: | 日本語 | (74) 代理人: 東島 隆治 (HIGASHIMA, Takaharu); 〒5400001 大阪府大阪市中央区城見1丁目3番7号 IMPビル 青山特許事務所 Osaka (JP). |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | 特願2004-083233 2004 年3 月22 日 (22.03.2004) JP | |
| (71) 出願人 (米国を除く全ての指定国について): 関西電力株式会社 (THE KANSAI ELECTRIC POWER CO., | | |

〔続葉有〕

(54) Title: VOLTAGE-CONTROLLED SEMICONDUCTOR DEVICE

(54) 発明の名称: 電圧制御型半導体装置



(57) Abstract: The channel resistance of the inversion channel of an SiC-IGBT is high because of the influence of the surface state of the influence of the surface state of the interface between the gate insulating film and the base layer, and the ON voltage is high. Reduction of this high ON voltage has been required. In a base layer formed on emitter layer of a SiC semiconductor, a buried collector region is partly formed. A channel layer is formed over the base layer and the buried collector region to form an accumulation channel. With this, during the ON time, holes are accumulated in the upper layer part of the channel layer to form a low-resistance channel. The current due to holes flows through the channel extending from the collector region to the emitter layer and becomes the base current of an npn transistor constituted of the buried collector region, the base layer, and the emitter layer.

(57) 要約: SiC-IGBTは、ゲート絶縁膜とベース層との界面の表面準位の影響によって、反転型チャネルのチャネル抵抗が高くオン電圧が高いが、このオン電圧を低くすることが求められている。SiC半導体のエミッタ層の上に形成したベース層に、部分

的に埋込コレクタ領域を形成する。ベース層及び埋込コレクタ領域上にチャネル層を形成し、蓄積型チャネルを構成する。

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

これにより、オン時には、チャネル層の上層部にホールが蓄積され低抵抗のチャネルが形成される。ホールによる電流はコレクタ領域からのチャネルを通過してエミッタ層へ流れ、埋込コレクタ領域、ベース層、エミッタ層で構成されるnpnトランジスタのベース電流となる。

明 細 書

電圧制御型半導体装置

技術分野

[0001] 本発明は大電流を制御するパワー半導体に係り、特に高耐圧の絶縁ゲートバイポーラトランジスタ等の電圧制御型半導体装置に関する。

背景技術

[0002] 大電流を制御するための半導体装置として、従来からSi(シリコン)の半導体材料によるパワー半導体装置が使用されているが、Siは電氣的物理的特性において限界があり、大幅な性能改善は困難になってきている。そこでSiに比べて電氣的物理的特性が優れているワイドギャップ半導体材料を用いたパワー半導体装置の開発が進められている。ワイドギャップ半導体材料の代表的な例としては、エネルギーギャップが2. 2eVから3. 2eVのSiC(炭化珪素)がある。このSiCを用いた電圧制御型半導体装置である絶縁ゲートバイポーラトランジスタ(IGBT)が、例えば文献 Material Science Forum Vols. 338-342 (2000)、pp.1427-1430に開示されている。このSiC-IGBTの断面図を図7に示す。

[0003] 図7において、下面にエミッタ端子113aにつながるエミッタ電極113を有するn⁺型SiCの基板101の上に、p型SiCのバッファ層102、p⁻型SiCのベース層103、n型SiCのベース層104及びp⁺型SiCのエミッタ層105を順次エピタキシャル成長法で形成する。SiC-IGBTの中央部分にベース層103まで達するトレンチ109を形成し、トレンチ109内にゲート絶縁膜106を介してゲート端子111aにつながるゲート電極111を設けている。SiC-IGBTの両端部には、ベース層104とエミッタ層105に接するコレクタ電極115が設けられ、コレクタ電極115はコレクタ端子115aに接続されている。

[0004] ゲート電極111とコレクタ電極115の間に、ゲート電極111が負になるように電圧を印加すると、トレンチ109の側壁部分のベース層104とゲート電極111とで挟まれたゲート絶縁膜106に電界が与えられる。その結果、ゲート絶縁膜106に接するn型ベース層104の接触面近傍においてn型の導電型がp型に反転する。p型に反転した

反転層であるベース層104の部分に電流の流れるチャネルが形成されることから、このチャネルを「反転型」のチャネルという。このチャネルを通してコレクタ電極115とエミッタ電極113間に電流が流れる。

- [0005] SiC-IGBTの場合、この反転層のチャネル移動度が低いという問題がある。この理由は、ゲート絶縁膜として用いられる SiO_2 とSiCの界面に表面準位が存在し、オン時に反転層を流れるホールがその表面準位に捕らえられるからと考えられる。またその界面の荒さが原因となって、キャリアであるホールが電導性に寄与しなくなるため、チャネルのホールの移動度が小さくなると考えられている。このようなことからチャネル抵抗が高くなり、オン電圧が高くなる傾向がある。

特許文献1:特開平10-256529号公報

特許文献2:特開平10-27899号公報

非特許文献1:Trans Tech Publication(スイス)、Material Science Forum Vols.
338-342 (2000)、PP1427-1430

発明の開示

発明が解決しようとする課題

- [0006] 図7に示す従来例のSiC-IGBTでは、ゲート絶縁膜106とベース層104との界面の表面準位の影響で反転型のチャネルのチャネル抵抗は高い。そのためこのIGBTはオン時のオン抵抗が高く、従ってオン電圧が高いという問題があった。本発明はオン電圧の低い電圧制御型半導体装置を提供することを目的とする。

課題を解決するための手段

- [0007] 本発明の電圧制御型半導体装置は、一方の面に被制御電流の電流流入端又は電流流出端のいずれか一方となる第1の電極を有する、第1の導電型のワイドギャップ半導体の第1の半導体層を有する。前記第1の半導体層の他方の面に、前記第1の導電型と異なる第2の導電型のワイドギャップ半導体の第2の半導体層を形成している。前記第2の半導体層の、前記第1の半導体層に接する面の対向面近傍に、前記第2の半導体層と異なる導電型のワイドギャップ半導体の埋込み半導体領域を部分的に設け、前記第2の半導体層及び前記埋込み半導体領域に接するように、前記第2の半導体層と同じ導電型のワイドギャップ半導体のチャネル層を設けている。前

記チャンネル層内において、前記埋込み半導体領域に重なるように、前記チャンネル層と同じ導電型を有し、かつ不純物濃度が前記チャンネル層より大きいワイドギャップ半導体の半導体領域を設けている。前記第1の半導体層が電流流入端となるときは電流流出端となり、前記第1の半導体層が電流流出端となるときは電流流入端となる第2の電極が、前記埋込み半導体領域及び前記半導体領域に電氣的に接続されている。前記チャンネル層及び前記半導体領域に、絶縁膜を介して制御電極が対向している。

[0008] この発明によれば、ワイドギャップ半導体を用いた電圧制御型半導体装置において制御電極に絶縁膜を介して対向するチャンネル層に接する第2の半導体層の表面近傍に埋込み半導体領域を設けている。これにより、オフ時に制御電極と第2の電極間に電圧を印加しなくても、SiC半導体のビルトイン電圧により電流を遮断できる。すなわちオフ状態を維持できるノーマリーオフにできる。また、オン時には、チャンネル層から第2の半導体層にホールを流入させることにより、埋込み半導体領域、第2の半導体層、第1の半導体層からなるnpnトランジスタにベース電流を供給し、主電流を前記半導体領域から第1の半導体層へ流す。また、隣り合う埋込み半導体領域の間を広げることにより、ベース層内あるいはチャンネル層内で伝導度変調を起こさせて第2の半導体層の抵抗を大幅に低減させることができる。その結果オン電圧を大幅に低くすることができる。

[0009] 本発明の他の観点の電圧制御型半導体装置は、一方の面に被制御電流の電流流入端又は電流流出端のいずれか一方となる第1の電極を有する、第1の導電型のワイドギャップ半導体の第1の半導体層を有する。前記第1の半導体層の他方の面に、前記第1の導電型と異なる第2の導電型のワイドギャップ半導体の第2の半導体層を形成している。前記第2の半導体層の、前記第1の半導体層に接する面の対向面近傍に、前記第2の半導体層と異なる導電型のワイドギャップ半導体の少なくとも2つの埋込み半導体領域を部分的に設け、前記第2の半導体層及び前記埋込み半導体領域に接するように、前記第2の半導体層と同じ導電型のワイドギャップ半導体のチャンネル層を設けている。前記チャンネル層内において、前記埋込み半導体領域に重なるように、前記チャンネル層と同じ導電型を有し、かつ不純物濃度が前記チャンネル層よ

り大きいワイドギャップ半導体の半導体領域を設けている。前記第1の半導体層が電流流入端となるときは電流流出端となり、前記第1の半導体層が電流流出端となるときは電流流入端となる第2の電極が、前記埋込み半導体領域及び前記半導体領域に電氣的に接続されている。前記第2の半導体層、前記チャネル層及び前記半導体領域に絶縁膜を介して制御電極が対向している。

- [0010] この発明によれば、ワイドギャップ半導体を用いた電圧制御型半導体装置において第1の導電型の埋込み半導体領域に挟まれた第2の導電型の第2の半導体層の上部に少なくとも1つの第1の導電型の電界緩和層を設けている。これにより、オフ時に絶縁膜に印加される最大電界を大幅に低減できる。また第1の導電型の埋込み半導体領域に挟まれた第2の導電型の第2の半導体層の上部に絶縁膜を介して対向する制御電極を設けている。これにより、第2の半導体層へのホールの流入を増加させることができる。第2の半導体層へのホールの流入により第2の半導体層を流れる電流が多くなりオン電圧を更に低減できる。

発明の効果

- [0011] 本発明の電圧制御型半導体装置は、ゲート電極にゲート絶縁膜を介して対向するチャネル層及びチャネル層に接するベース層を有し、ベース層に部分的に複数の埋込みコレクタ領域を設けている。オン時にはゲート絶縁膜に近接するチャネル層にホールが蓄積されて低抵抗のチャネルが形成され、埋込コレクタ領域、ベース層及びエミッタ層で構成されるトランジスタに大きなベース電流を供給する。これによりベース層内で伝導度変調を起こさせる。その結果オン抵抗の低いすなわちオン電圧の低い電圧制御型半導体装置が得られる。

図面の簡単な説明

- [0012] [図1]図1は本発明の第1実施例の絶縁ゲートバイポーラトランジスタの断面図である。
- 。
- [図2]図2は本発明の第2実施例の絶縁ゲートバイポーラトランジスタの断面図である。
- 。
- [図3]図3は本発明の第3実施例の絶縁ゲートバイポーラトランジスタの断面図である。
- 。

[図4]図4は本発明の第4実施例の絶縁ゲートバイポーラトランジスタの断面図である。

[図5]図5は本発明の第4実施例の他の例の絶縁ゲートバイポーラトランジスタの断面図である。

[図6]図6は本発明の第1から第4実施例において、チャンネル層に形成した高導電率領域を示す断面図である。

[図7]図7は従来の絶縁ゲートバイポーラトランジスタの断面図である。

符号の説明

- [0013]
- 1 エミッタ層
 - 2 バッファ層
 - 3 ベース層
 - 4、4a チャンネル層
 - 5 埋込みコレクタ領域
 - 6 コレクタ領域
 - 7 エミッタ電極
 - 8 コレクタ電極
 - 9 ゲート電極
 - 10、10a、10b ゲート絶縁膜
 - 15 トレンチ
 - 55、56 電界緩和領域

発明を実施するための最良の形態

- [0014] 以下、本発明の電圧制御型半導体装置の好適な実施例について、図1から図6を参照して説明する。

- [0015] 《第1実施例》

以下、本発明の第1実施例の電圧制御型半導体装置について図1を参照して説明する。図1は第1実施例の電圧制御型半導体装置である、SiC半導体を用いた耐電圧10kVのSiC絶縁ゲートバイポーラトランジスタ(SiC-IGBT)のセグメントの断面図である。本実施例のセグメントは紙面に垂直な方向に長い帯状であるが、セグメント

の形状は例えば円形や四角形等であってもよい。

[0016] 図1において、下面に金や銅等によるエミッタ電極7(第1の電極)を有する厚さ約300 μm の高不純物濃度n型4H-SiC半導体の基板のエミッタ層1(第1の半導体層)の上に、厚さが約3 μm 、不純物濃度が $1 \times 10^{17} \text{cm}^{-3}$ 程度のp型SiC半導体のバッファ層2を形成している。エミッタ電極7はエミッタ端子7aに接続されている。バッファ層2の上に、厚さが約100 μm 、不純物濃度が $1 \times 10^{13} \text{cm}^{-3} \sim 5 \times 10^{15} \text{cm}^{-3}$ のp⁻型SiC半導体のベース層3(第2の半導体層)を形成している。ベース層3の上部の両端部にはイオン注入などにより不純物濃度が $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$ のn⁺型SiC半導体の埋込みコレクタ領域5(埋込み半導体領域)が形成されている。埋込みコレクタ領域5及びベース層3の上に、不純物濃度が $1 \times 10^{14} \text{cm}^{-3} \sim 3 \times 10^{16} \text{cm}^{-3}$ のp型SiC半導体のチャネル層4が形成されている。チャネル層4の厚みは、約0.2 μm から2 μm 程度である。この厚みは、チャネル層4の不純物濃度に依存し、更に薄くてもよい場合があり、また更に厚くてもよい場合もある。

[0017] 上記の例ではチャネル層4の不純物濃度はベース層3の不純物濃度より大きい。しかし、チャネル層4の不純物濃度はベース層3の不純物濃度より小さくてもよい。またチャネル層4の不純物濃度はベース層3の不純物濃度と同じであってもよく、この場合には、ベース層3の内部にイオン打ち込みにより埋込みコレクタ領域5を形成することにより、ベース層3とチャネル層4を同一工程で作ることができる。チャネル層4の上部両端部にはそれぞれ不純物濃度が $1 \times 10^{19} \text{cm}^{-3}$ 程度のp⁺型SiC半導体のコレクタ領域6(半導体領域)が形成されている。このコレクタ領域6は埋込みコレクタ領域5より横方向に短い。両コレクタ領域6及びチャネル層4の上にゲート絶縁膜10(絶縁膜)が形成され、ゲート絶縁膜10の上にゲート端子9aに接続されたゲート電極9(制御電極)が設けられている。コレクタ領域6の側面と埋込みコレクタ領域5の上面に接するように、コレクタ端子8aに接続されたコレクタ電極8(第2の電極)が設けられている。コレクタ電極8、ゲート電極9は金や銅等の金属膜により形成されている。

[0018] 本実施例のSiC-IGBTにおいて、エミッタ電極7とコレクタ電極8との間に、コレクタ電極8の電位が高くなるように電圧を印加し、ゲート電極9の電位をコレクタ電極8の電位より低くすると、SiC-IGBTはオンになりコレクタ電極8とエミッタ電極7間に主電

流が流れる。

- [0019] オン状態にあるSiC-IGBTをオフにするには、コレクタ電極8の電位がエミッタ電極7の電位より高い状態で、ゲート電極9とコレクタ電極8間の電圧を0にするか、又はゲート電極9の電位をコレクタ電極8に対して正にする。その結果、SiC半導体のビルトイン電圧により、埋込みコレクタ領域5とチャネル層4との接合部からチャネル層4内に空乏層が広がり、チャネル層4はピンチオフ状態になる。これによりコレクタ領域6からエミッタ層1に流れる電流が遮断され、SiC-IGBTはオフ状態になる。すなわちノーマリーオフとなる。ゲート電極9とコレクタ電極8間にゲート電極9を正にして電圧を印加すると、コレクタ電極8とエミッタ電極7間のリーク電流を低減できる。
- [0020] ターンオン時に、ゲート電極9とコレクタ電極8間にゲート電極9を負にして電圧を印加すると、ゲート絶縁膜10に近いチャネル層4の上層部にホールが蓄積され低抵抗のチャネルが形成される。ホールによる電流は、コレクタ領域6からこのチャネルを通り、両埋込みコレクタ領域5の間を通過してエミッタ層1へと流れる。この電流は、埋込みコレクタ領域5、ベース層3、エミッタ層1で構成されるnpnトランジスタのベース電流となる。主電流はコレクタ電極8、埋込みコレクタ領域5、ベース層3、エミッタ層1及びエミッタ電極7を経て流れる。電子は、エミッタ層1からバッファ層2及びベース層3を経て埋込みコレクタ領域5へと流れる。ホールはコレクタ領域6から前記チャネルを経てベース層3に流入し、ベース層3からエミッタ層1に入る。エミッタ層1からは、ベース電流に応じた電子がベース層3に流入し、埋込みコレクタ領域5に達する。また、隣合う埋込みコレクタ領域5の間隔を広げると、ベース層3では、これらのホールと埋込みコレクタ領域5からベース層3に流入する電子とで伝導度変調が生じ、ベース層3の抵抗が大幅に低減する。
- [0021] 本実施例の構成では、チャネル層4にホールが蓄積される、「蓄積型」の動作をする。蓄積型の動作では、背景技術の項で説明した反転型の動作時に比べるとチャネル抵抗が小さい。図5の従来のIGBTでは主電流が、ゲート絶縁膜の側壁の反転型チャネルを流れるため、チャネル部での電圧降下が大きい。しかし本実施例のSiC-IGBTではチャネル層4には主電流が流れず、ゲート電流のみが流れるので、チャネル層4の電圧降下は小さい。また、埋込みコレクタ領域5は不純物濃度が高く抵抗が

小さいため、その領域での電圧降下が小さい。チャネル層4の不純物濃度はベース層3と同じでもよいが、チャネル層4の不純物濃度をベース層3の不純物濃度より高くすることにより、オン時にはベース層3及びチャネル層4の内部も低抵抗となる。ベース電流はそれらの領域を流れるため、ベース電流通電時の電圧降下を小さくできる。その結果、ベース電流が大きくなり、出力電流を大きくできる。すなわち、オン電圧を小さくできる。また前記電圧降下が小さいことから、チャネル層4、埋込みコレクタ領域5、ベース層3、バッファ層2及びエミッタ層1によってSiC-IGBTに内在的に形成されるサイリスタ構造において、ゲート電極9による制御が不能になる現象のラッチアップが発生するおそれは少ない。

[0022] 本実施例のSiC-IGBTのコレクタ電極8とエミッタ電極7間に $100\text{A}/\text{cm}^2$ の電流密度で主電流を流したときのオン電圧は3.5Vであり、従来のSiC-IGBTのオン電圧9.5Vに比べて非常に低い値であった。本実施例では隣り合う埋込みコレクタ領域5の間の間隔を $3\mu\text{m}$ 以上としたが、 $10\mu\text{m}$ に広げると埋込みコレクタ領域5間の抵抗が小さくなる。そのため、コレクタ領域6からチャネル層4を通して流れるベース電流が大きくなり、それに伴い主電流が大きくなる。その結果オン電圧は3.2Vと更に小さくなった。

[0023] 本実施例では埋込みコレクタ領域5をイオン注入により形成したが、エピタキシャル法により n^+ 領域を形成し、必要な部分を残して他をエッチングすることによっても本実施例と同様の埋込みコレクタ領域5を形成することができる。この場合、埋込みコレクタ領域5の上のチャネル層4は、イオン注入の場合に比べて結晶性が良く、チャネル移動度が高くなる。

[0024] 《第2実施例》

図2は本発明の第2実施例の電圧制御型半導体装置である、SiC半導体を用いた耐電圧10kVの絶縁ゲートバイポーラトランジスタ(SiC-IGBT)のセグメントの断面図である。図において、本実施例のSiC-IGBTでは、隣り合う埋込みコレクタ領域5の間のベース層3内に少なくとも1つの n^+ SiC半導体の電界緩和領域55を設けた点が前記第1実施例と異なり、その他の構成は図1に示す前記第1実施例のものと同一である。電界緩和領域55の不純物濃度は、埋込みコレクタ領域5と同じにしてもよい。

。その場合両者を同一工程で形成できるので工程が簡略化される。隣り合う埋込みコレクタ領域5の間に電界緩和領域55を設けることにより、SiC-IGBTのオフ時に、電界緩和領域55とベース層3の接合部からベース層3内に空乏層が広がり、コレクタ・エミッタ間の電圧を分担する。これによりゲート絶縁膜10に印加される電界強度を緩和することができる。

[0025] 第1実施例のSiC-IGBTでは、オフ時のゲート絶縁膜10の最大電界強度は2.1 MV/cmであったが、本第2実施例のSiC-IGBTでは0.7 MV/cmとなり、第1実施例のものに比べて約67%低減できた。第2実施例のSiC-IGBTでは、前記第1実施例のSiC-IGBTの特徴である低いオン電圧に加えて、ゲート絶縁膜10の電界強度が緩和されるという特徴を有し、IGBTの長期の信頼性の向上が図れる。

[0026] 《第3実施例》

図3は本発明の第3実施例の電圧制御型半導体装置である、SiC半導体を用いた耐電圧10kVの絶縁ゲートバイポーラトランジスタ(SiC-IGBT)のセグメントの断面図である。図において、本実施例のSiC-IGBTは、隣り合う埋込みコレクタ領域5間の上方のゲート絶縁膜10aの厚みを他の部分より厚くした点が図1に示す前記第1実施例と異なる。その他の構成は図1に示す前記第1実施例のものと同一である。

[0027] 前記第1実施例のSiC-IGBTでは、オフ時に、隣り合う埋込みコレクタ領域5間のベース層3に対向するゲート絶縁膜10aの中央部10gの電界強度がゲート絶縁膜10aの他の部分よりも高くなることを発明者は見つけた。その理由は以下の通りであると思われる。

前記第1実施例の電圧制御型半導体装置において、ベース電流をコレクタ領域6から埋込コレクタ領域5へ効率的に流すために、埋込コレクタ領域5の上から隣り合う埋込コレクタ領域5間の上のできるだけ中央領域まで蓄積層を形成する。それにより、ベース電流が流れる時の電圧降下を小さくする。さらに、隣り合う埋込コレクタ領域5の間は広げ、ベース層3で伝導度変調が十分起こるようにしている。

[0028] 一方、オフ時は埋込コレクタ領域5とベース層3の接合から空乏層が広がるが、両埋込コレクタ領域5間が広く、両者間の中央領域近傍は空乏層が十分に広がらない。そのため空乏層でコレクタ電圧が分担されずゲート絶縁膜10aの中央部10gが高

電界となる。すなわち、オフ時には、埋込みコレクタ領域5とベース層3の接合からベース層3及びチャネル層4に広がる空乏層によりコレクタ領域6とエミッタ層1の間の電圧を分担している。しかしこの空乏層は隣り合う埋込みコレクタ領域5に挟まれたベース層3及びチャネル層4の中央領域には十分に広がらず、ゲート絶縁膜10aの中央部10gに高電界が印加されやすい。そこでゲート絶縁膜10aの中央部10gを他の部分より厚くして耐電界強度特性を向上させる。このようにすると、オフ時にゲート絶縁膜10aに印加される最大電界強度を低減することができる。

[0029] 図3に示す本実施例のものでは、厚み約 $0.1\mu\text{m}$ のゲート絶縁膜10aの、中央部10gの厚みを約 $0.5\mu\text{m}$ とし、他の部分の約5倍にしている。これによりオフ時にゲート絶縁膜10aの中央部10gに印加される最大電界強度を約70%低減できる。

[0030] ゲート絶縁膜10aの厚さはチャネル抵抗に影響を与えるが、オン時にベース電流をコレクタ領域6からベース層3へ効率的に流すためには、チャネル抵抗を小さくする必要がある。そのために、チャネル層4の上部にホールが十分蓄積されるようにゲート絶縁膜10aは薄いのが望ましい。本実施例では、ゲート絶縁膜10aの高電界が印加されやすい中央部10gのみの膜厚を厚くし、他の部分は厚くしないことにより、前記第1実施例のSiC-IGBTとほぼ同じ構成でオン電圧が低くかつ耐電圧の高いSiC-IGBTを得ることができる。

[0031] 《第4実施例》

図4は、本発明の第4実施例の電圧制御型半導体装置である、SiC半導体を用いた耐電圧10kVの絶縁ゲートバイポーラトランジスタ(SiC-IGBT)のセグメントの断面図である。本実施例のSiC-IGBTでは図においてSiC-IGBTの中央部に、チャネル層4aを貫通してベース層3に入り込むトレンチ15を設けている。トレンチ15の底部に n^+ SiC半導体の電界緩和層56を設けている。電界緩和層56は、トレンチ15の幅より狭いことが望ましいが、広くてもよい。トレンチ15の側壁及び電界緩和層56の上にはゲート絶縁膜10bを設けている。トレンチ15内には、ゲート絶縁膜10bを介してゲート電極9が設けられている。ゲート電極9はチャネル層4aの上面にゲート絶縁膜10bを介して対向するとともに、トレンチ15内でチャネル層4aの側面にもゲート絶縁膜10bを介して対向している。その他の構成は図1に示す前記第1実施例のものと同

じである。

[0032] 本実施例のSiC-IGBTでは、オン時にゲート絶縁膜10bの下方にチャネル層4aに形成される蓄積層が、チャネル層4aを縦断して下方のベース層3の上部に至る領域にまで形成されるので、ベース電流を大きくでき、前記第1から第3の実施例に比べて更にオン電圧を低くできる。また、ゲート絶縁膜10bの一部が電界緩和層56の上にも形成されているため、ゲート絶縁膜10bの最大電界強度を大幅に低減できる。本実施例のSiC-IGBTでは、 $100\text{A}/\text{cm}^2$ 通電時のオン電圧は3.3Vであり、オフ時のゲート絶縁膜10bの最大電界強度は約 $0.1\text{MV}/\text{cm}^2$ であり、前記の各実施例のものより大幅に低減できた。

[0033] 図5に示す本実施例の他の例のSiC-IGBTは、構造を簡単にするために、図4に示すSiC-IGBTにおける電界緩和層56を設けていない。電界緩和層56を設けていないため図4に示すSiC-IGBTに比べると最大電界強度が若干低い、その点を除けば図4に示すSiC-IGBTと同様の動作をする。また本実施例の特徴として上に挙げたベース電流を大きくできかつオン電圧を低くできる点は同じである。

前記の各実施例において、n型の層及び領域をそれぞれp型の層及び領域に置き換え

かつ、p型の層及び領域をそれぞれn型の層及び領域に置き換えた構成の電圧制御型半導体装置にも、本発明を適用できる。

[0034] 前記第1から第4実施例の電圧制御型半導体装置においては、チャネル層4を蓄積型にすることにより、反転型よりもチャネル抵抗を小さくできる。さらに図6に示すように、チャネル層4の表面あるいは内部に不純物濃度を高くしたp型の高導電率領域4bを形成すると、チャネル層4の抵抗を更に下げる効果が得られる。高導電率領域4bは、チャネル層4とゲート絶縁膜10との界面から $0.05\mu\text{m}$ から $0.5\mu\text{m}$ 程度の深さにエピタキシャル成長により形成するか、あるいはチャネル層4内部にアルミニウムイオンなどのp型のイオンを注入することにより形成する。高導電率領域4bのチャネル層4の表面からの深さや厚みは不純物濃度により異なり、不純物濃度が高ければ厚みを薄く、不純物濃度が低ければ厚みを厚くすることにより、ノーマリーオフのチャネル抵抗を低くできる。高導電率領域4bの不純物濃度及び厚みの一例としては、チャ

ネル層4の厚さを $0.3\mu\text{m}$ 程度とした場合、それぞれ $3\times 10^{16}\text{cm}^{-3}$ 及び $0.1\mu\text{m}$ 程度である。図6は、図1の構成に高導電率領域4bを設けたものを示しているが、図2から図5の電圧制御型半導体装置にもチャネル層に同様に高導電率領域を設ければ同様の効果が得られる。

- [0035] また、前記各実施例では、ワイドギャップ半導体としてSiCを用いた素子の場合について説明したが、本発明はダイヤモンド、ガリウムナイトライドなどの他のワイドギャップ半導体材料を用いた素子にも有効に適用できる。

産業上の利用可能性

- [0036] 本発明はオン電圧が低く耐電圧の高い絶縁ゲートバイポーラトランジスタに利用可能である。

請求の範囲

- [1] 一方の面に被制御電流の電流流入端又は電流流出端のいずれか一方となる第1の電極を有する、第1の導電型のワイドギャップ半導体の第1の半導体層、
前記第1の半導体層の他方の面に形成した、前記第1の導電型と異なる第2の導電型のワイドギャップ半導体の第2の半導体層、
前記第2の半導体層の、前記第1の半導体層に接する面の対向面近傍に部分的に設けた、前記第2の半導体層と異なる導電型のワイドギャップ半導体の埋込み半導体領域、
前記第2の半導体層及び前記埋込み半導体領域に接するように設けた、前記第2の半導体層と同じ導電型のワイドギャップ半導体のチャンネル層、
前記チャンネル層内において、前記埋込み半導体領域に重なるように設けた、前記チャンネル層と同じ導電型を有し、かつ不純物濃度が前記チャンネル層より大きいワイドギャップ半導体の半導体領域、
前記埋込み半導体領域及び前記半導体領域に電氣的に接続された、前記第1の半導体層が電流流入端となるときは電流流出端となり、前記第1の半導体層が電流流出端となるときは電流流入端となる第2の電極、及び
前記チャンネル層及び前記半導体領域に、絶縁膜を介して対向する制御電極を有する電圧制御型半導体装置。
- [2] 隣り合う前記埋込み半導体領域の間の第2の半導体層に、前記第2の半導体層の導電型と異なる導電型の電界緩和領域を設けたことを特徴とする請求項1に記載の電圧制御型半導体装置。
- [3] 前記絶縁膜の、隣り合う前記埋込み半導体領域の間の領域に対向する部分の厚さが他の部分より厚くなされていることを特徴とする請求項1に記載の電圧制御型半導体装置。
- [4] 一方の面に被制御電流の電流流入端又は電流流出端のいずれか一方となる第1の電極を有する、第1の導電型のワイドギャップ半導体の第1の半導体層、
前記第1の半導体層の他方の面に形成した、前記第1の導電型と異なる第2の導電型のワイドギャップ半導体の第2の半導体層、

前記第2の半導体層の、前記第1の半導体層に接する面の対向面近傍に部分的に設けた、前記第2の半導体層と異なる導電型のワイドギャップ半導体の少なくとも2つの埋込み半導体領域、

前記第2の半導体層及び前記埋込み半導体領域に接するように設けた、前記第2の半導体層と同じ導電型のワイドギャップ半導体のチャネル層、

前記チャネル層内において、前記埋込み半導体領域に重なるように設けた、前記チャネル層と同じ導電型を有し、かつ不純物濃度が前記チャネル層より大きいワイドギャップ半導体の半導体領域、

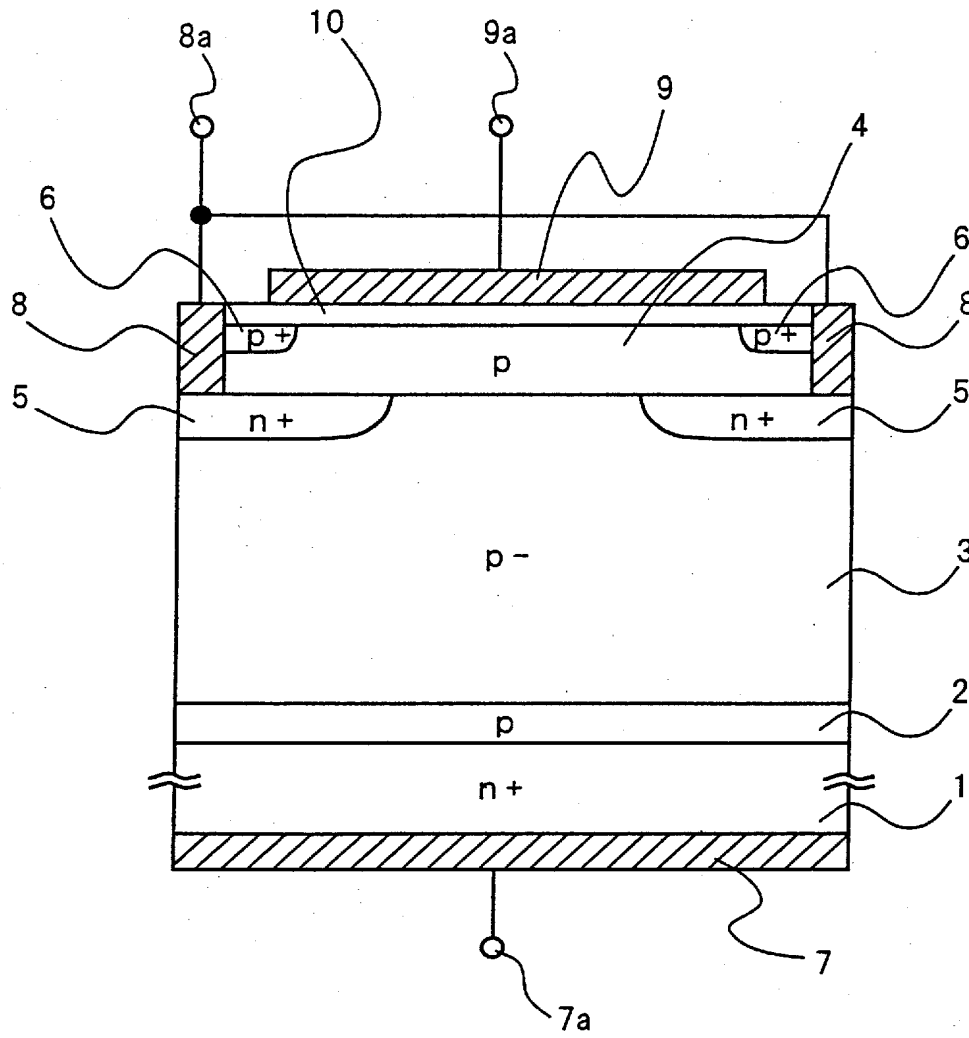
前記埋込み半導体領域及び前記半導体領域に電氣的に接続された、前記第1の半導体層が電流流入端となるときは電流流出端となり、前記第1の半導体層が電流流出端となるときは電流流入端となる第2の電極、及び

前記第2の半導体層、前記チャネル層及び前記半導体領域に、絶縁膜を介して対向する制御電極

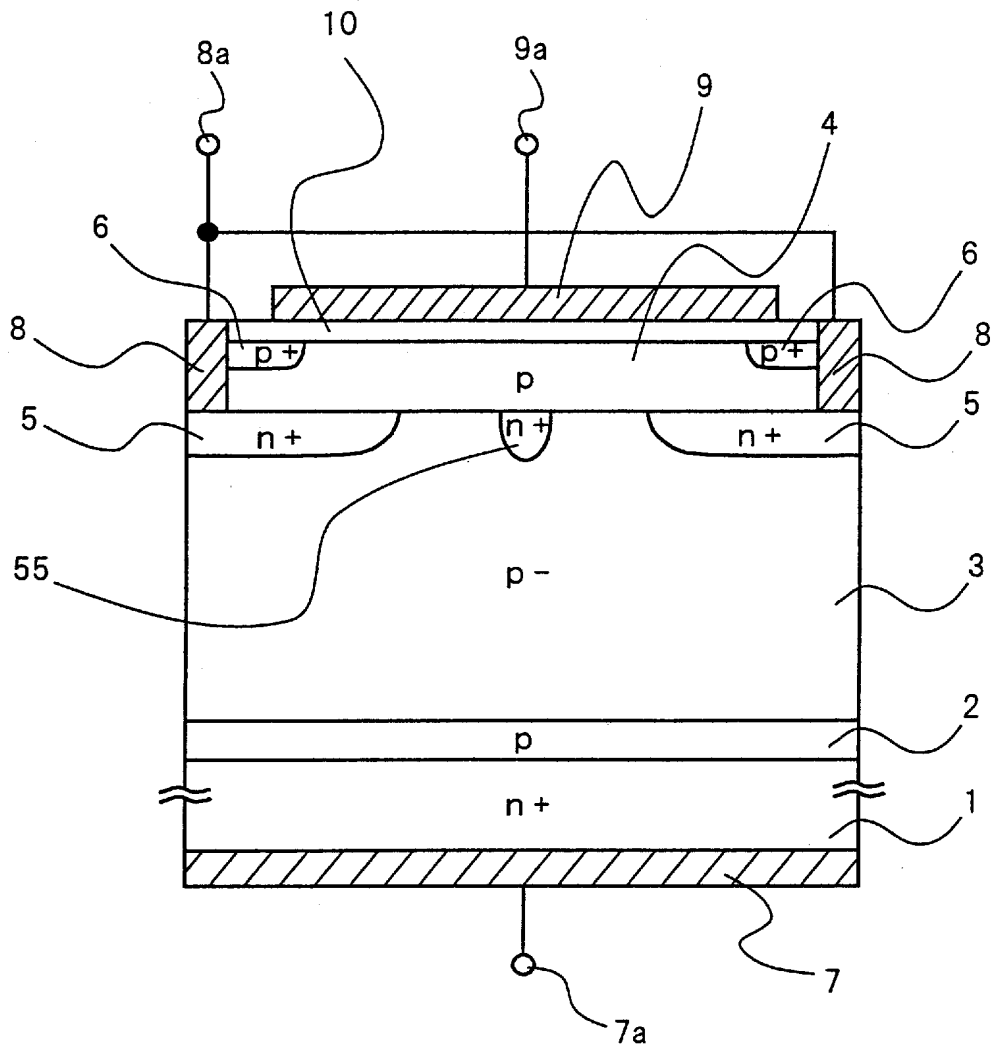
を有する電圧制御型半導体装置。

- [5] 前記第1の導電型はn型であり、前記第2の導電型はp型である請求項1又は4に記載の電圧制御型半導体装置。
- [6] 前記チャネル層の不純物濃度は、第2の半導体層の不純物濃度より大きいことを特徴とする請求項1又は4に記載の電圧制御型半導体装置。
- [7] 隣り合う埋込み半導体領域の間の間隔が $3\mu\text{m}$ 以上であることを特徴とする請求項1又は4に記載の電圧制御型半導体装置。
- [8] 前記隣り合う埋込み半導体領域の間の第2の半導体層に、前記第2の半導体層と異なる導電型の電界緩和層を設け、前記制御電極が前記電界緩和層の少なくとも一部分に絶縁膜を介して対向していることを特徴とする請求項4に記載の電圧制御型半導体装置。
- [9] 前記チャネル層の内部に高導電率領域を形成したことを特徴とする請求項1又は4に記載の電圧制御型半導体装置。

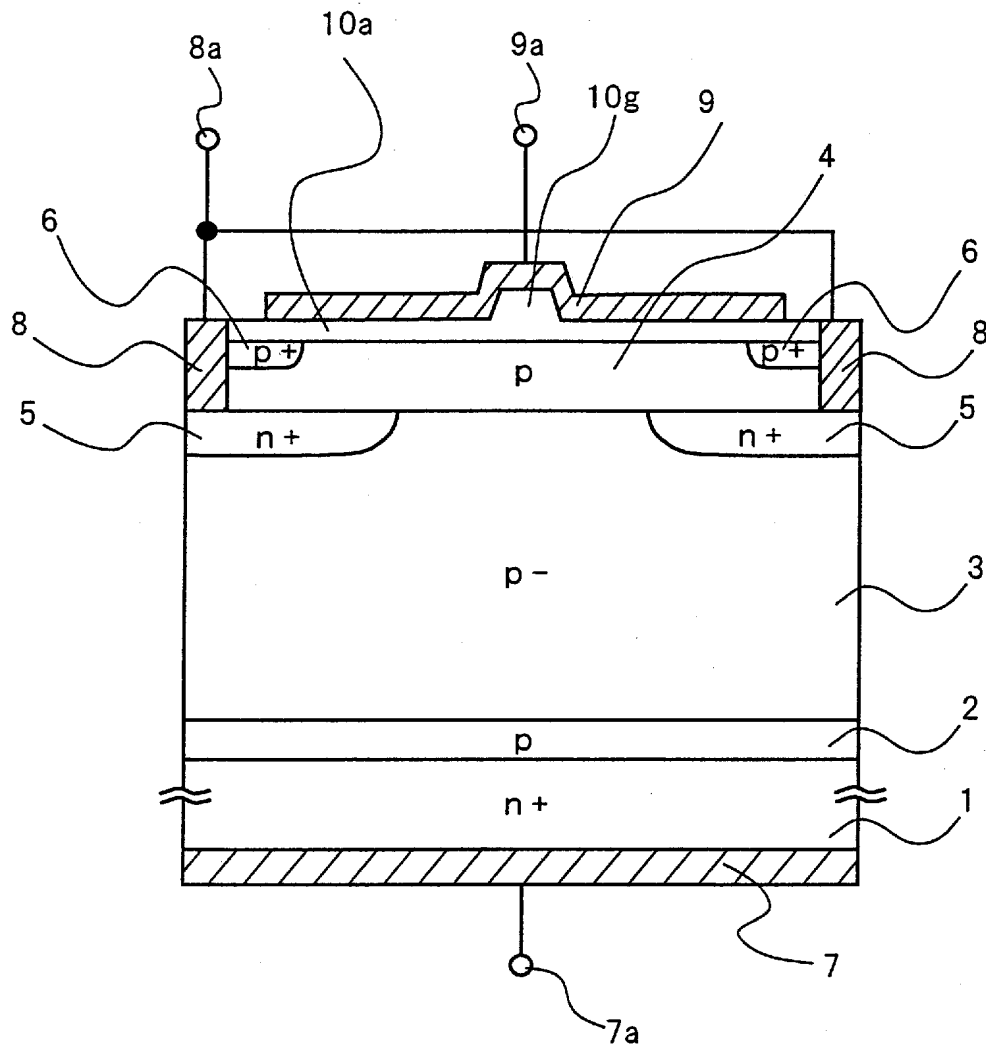
[図1]



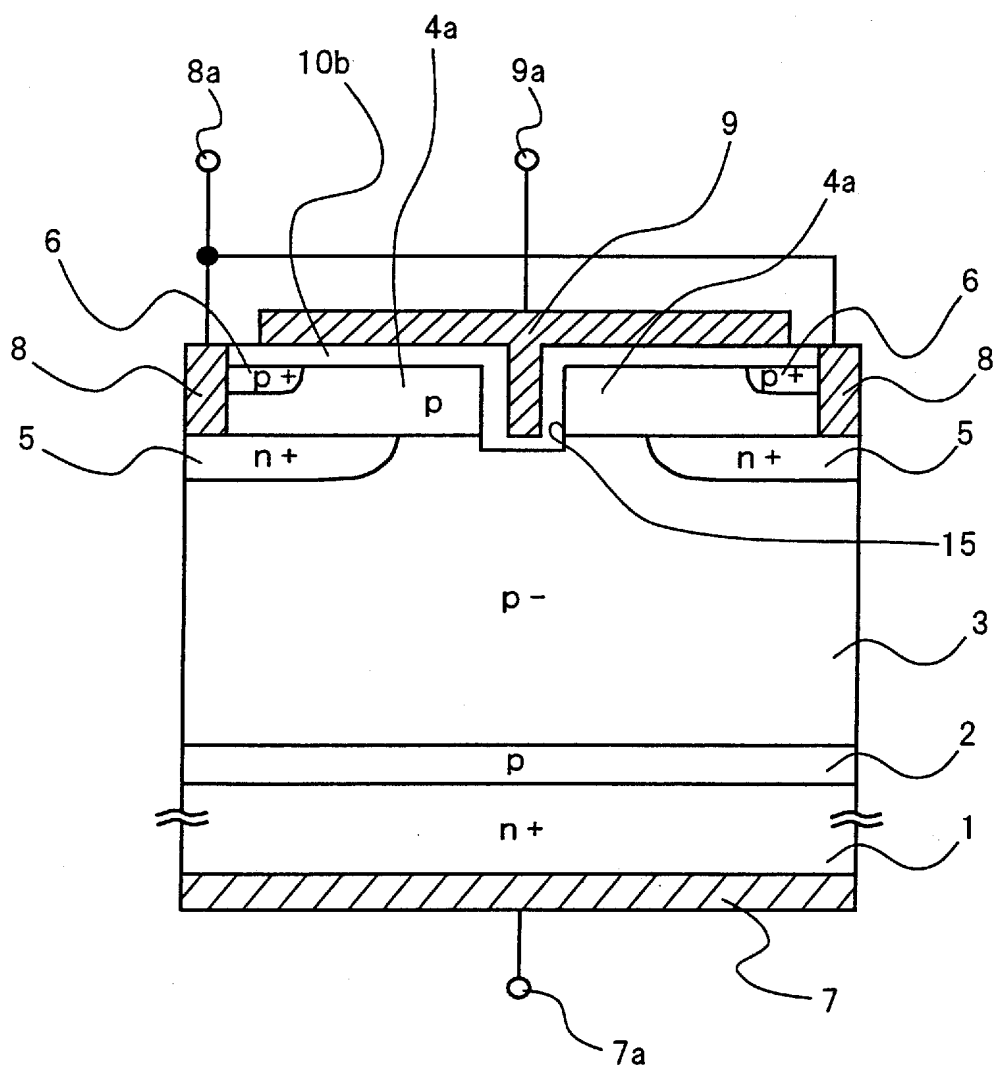
[[図2]]



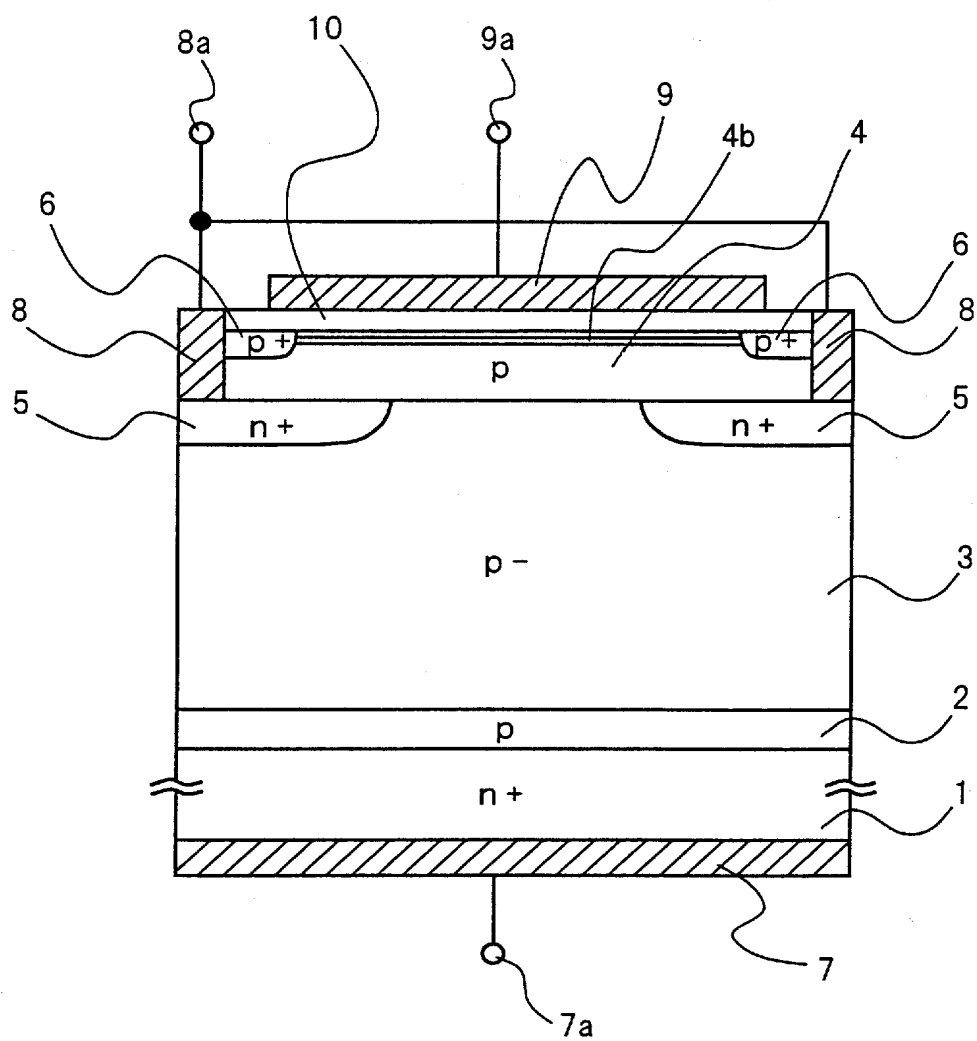
[図3]



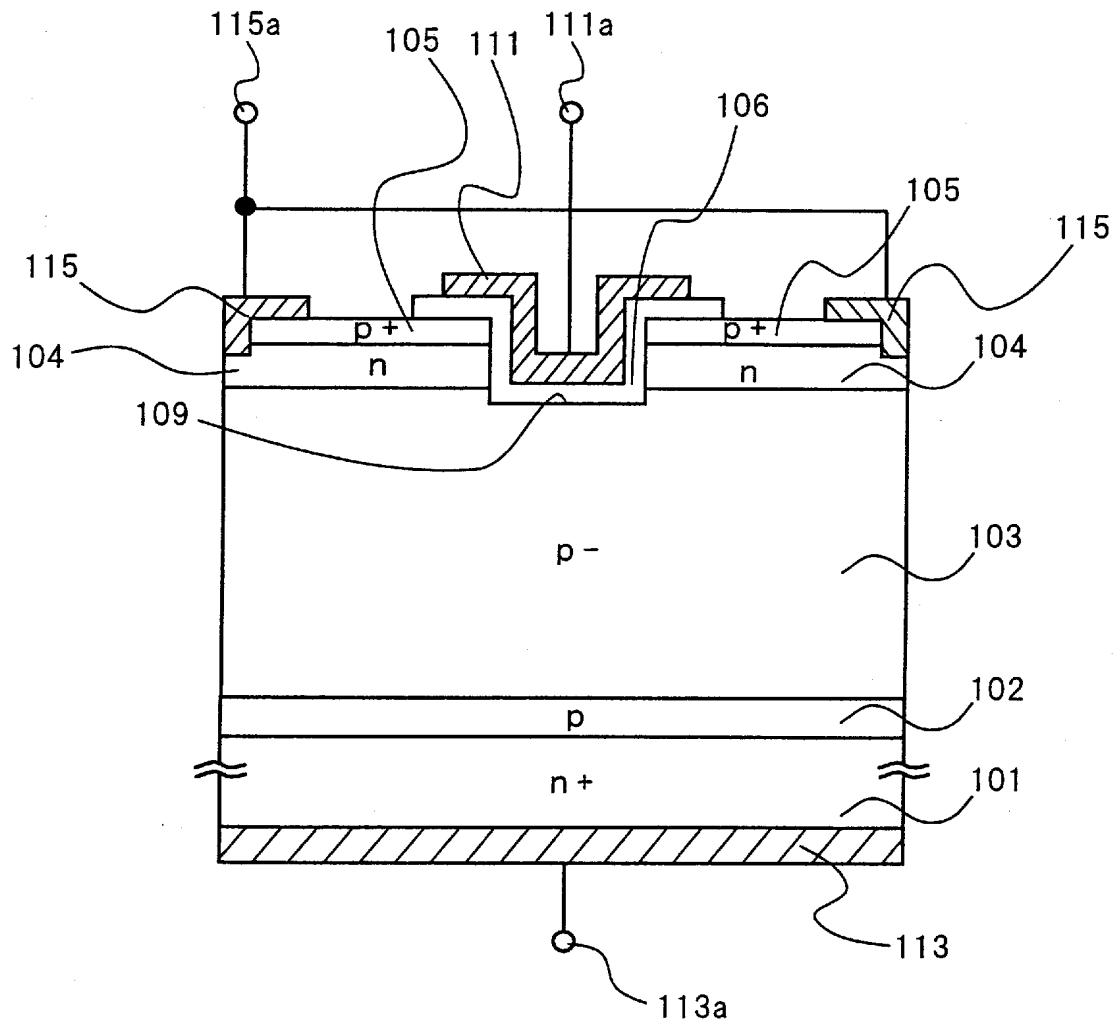
[[図5]]



[[図6]]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004834

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-031802 A (Nissan Motor Co., Ltd.), 31 January, 2003 (31.01.03), Full text; all drawings (Family: none)	1-9
A	JP 2001-291869 A (Mitsubishi Electric Corp.), 19 October, 2001 (19.10.01), Full text; all drawings (Family: none)	1-9
A	JP 2002-231947 A (The Kansai Electric Power Co., Inc.), 16 August, 2002 (16.08.02), Full text; all drawings (Family: none)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 June, 2005 (09.06.05)

Date of mailing of the international search report
28 June, 2005 (28.06.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004834

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-284733 A (Motorola, Inc.), 23 October, 1998 (23.10.98), Full text; all drawings & US 5917204 A & EP 0869558 A2	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2003-031802 A (日産自動車株式会社) 2003.01.31, 全文, 全図 (ファミリーなし)	1-9
A	J P 2001-291869 A (三菱電機株式会社) 2001.10.19, 全文, 全図 (ファミリーなし)	1-9
A	J P 2002-231947 A (関西電力株式界会社) 2002.08.16, 全文, 全図 (ファミリーなし)	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

09.06.2005

国際調査報告の発送日

28.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野田 誠

電話番号 03-3581-1101 内線 3498

4 L

8 4 2 7

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-284733 A (モトローラ・インコーポレイテッド) 1998. 10. 23, 全文, 全図 & US 5917204 A & EP 0869558 A2	1-9